

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-11390

(43)公開日 平成10年(1998)1月16日

(51)Int.Cl.<sup>6</sup>  
G 0 6 F 13/36

識別記号  
5 2 0

庁内整理番号

F I  
G 0 6 F 13/36

技術表示箇所  
5 2 0 E

審査請求 未請求 請求項の数 5 O.L (全 7 頁)

(21)出願番号 特願平8-159889

(22)出願日 平成8年(1996)6月20日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 古野 英夫

東京都府中市東芝町1番地 株式会社東芝  
府中工場内

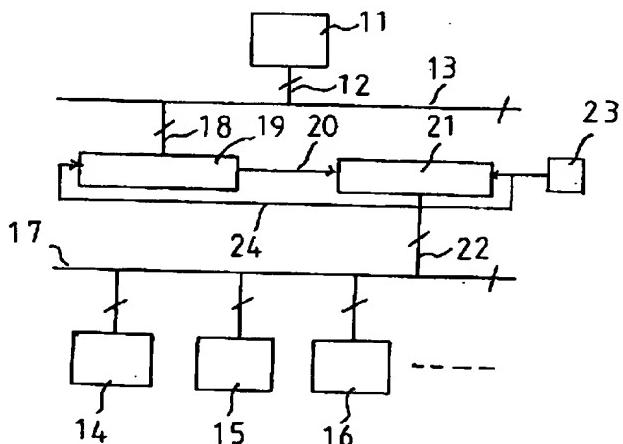
(74)代理人 弁理士 大湖 典夫

(54)【発明の名称】マイクロプロセッサ応用装置

(57)【要約】 (修正有)

【課題】 プロセッサ装置とメモリ装置または入出力装置との間、あるいはプリント基板相互間の配線本数を減少させるとともに、多くのメモリ装置または入出力装置との間の情報交換が可能なマイクロプロセッサ応用システムを提供する。

【解決手段】 第1のバス13にはマイクロプロセッサ装置11が接続され、このマイクロプロセッサ装置11の入出力信号のうちの少なくもアドレス信号およびデータ信号が供給される。この第1のバス13にはパラレルシリアル変換装置19接続され、第1のバス13に供給されたパラレル信号をシリアル信号に変換してシリアル信号伝送路20に供給する。このシリアル信号伝送路20の信号はシリアル-パラレル変換装置21に供給され、再びパラレル信号に戻され第2のバス17に供給される。この第2のバス17にはメモリ装置14およびまたは入出力装置15が接続されている。



1

## 【特許請求の範囲】

【請求項1】マイクロプロセッサ装置が接続され、このマイクロプロセッサ装置の入出力信号のうちの少なくもアドレス信号およびデータ信号用バスを含む第1のバスと、この第1のバスに接続されたパラレルシリアル変換装置と、このパラレルシリアル変換装置の出力信号を伝送するシリアル信号伝送路と、このシリアル信号伝送路の信号が供給されるシリアルーパラレル変換装置と、このシリアルーパラレル変換装置のパラレル信号線が接続されるとともに、メモリ装置または入出力装置が接続される第2のバスとを備えたことを特徴とするマイクロプロセッサ応用装置。

【請求項2】前記マイクロプロセッサ応用装置は、前記第1のバスにより伝送される前記アドレス信号およびデータ信号が供給され、これらの信号に対して所定の関数関係にある第1の冗長信号を発生し、これを前記パラレルシリアル変換装置の追加の入力信号として供給する第1の冗長信号発生手段と、前記シリアルーパラレル変換装置のパラレル出力信号の中、前記アドレス信号およびデータ信号が供給され、これらの信号に対して前記所定の関数関係にある第2の冗長信号を発生する第2の冗長信号発生手段と、この第2の冗長信号発生手段により発生された前記第2の冗長信号を前記シリアルーパラレル変換装置のパラレル出力信号中の前記第1の冗長信号と比較する手段とを備えたことを特徴とする請求項1記載のマイクロプロセッサ応用装置。

【請求項3】前記マイクロプロセッサ応用装置は、前記パラレルシリアル変換装置のパラレル入力信号のビット数は前記シリアルーパラレル変換装置のパラレル出力信号のビット数とは異なる場合、前記パラレルシリアル変換装置の1回の送受が前記シリアルーパラレル変換装置の複数回の送受に、または前記シリアル変換装置の複数回の送受が前記シリアルーパラレル変換装置の1回の送受に変換される手段を備えたことを特徴とする請求項1記載のマイクロプロセッサ応用装置。

【請求項4】前記マイクロプロセッサ応用装置は、前記第1のバスにより伝送される前記アドレス信号およびデータ信号が供給され、これらの信号をより少ないビット数の出力信号に変換し、これを前記パラレルシリアル変換装置に入力信号として供給する符号化手段と、前記シリアルーパラレル変換装置の出力信号が供給され前記符号化手段に対して逆の変換を行いこれを前記第2のバスに供給する復号化手段とを備えたことを特徴とする請求項1記載のマイクロプロセッサ応用装置。

【請求項5】回路および構成部品が配線実装された複数のプリント基板からなるマイクロプロセッサ応用装置において、前記複数のプリント基板中の第1の基板に配線され、少なくもアドレス信号バスおよびデータ信号バスを含む第1のバスと、前記複数のプリント基板中の第2の基板に配線され、少なくもアドレス信号バスおよび

2

データ信号バスを含む第2のバスと、前記第1および第2のバスにそれぞれ接続された第1および第2のパラレルシリアル変換装置と、これらの第1および第2のパラレルシリアル変換装置を相互に接続するシリアル信号伝送路とを備えたことを特徴とするマイクロプロセッサ応用装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、マイクロプロセッサ応用装置に関し、特に、装置間接続に関する。

## 【0002】

【従来の技術】従来、マイクロプロセッサ応用システムにおいて、プロセッサ装置とメモリ装置または入出力装置との間でデータの送受を行おうとする場合、アドレスバス信号、データバス信号および入出力制御信号の接続が必要である。一般にこれらのアドレスバス信号、データバス信号および入出力制御信号は複数のビットから構成されているため、これらの信号線は各信号のビット数分の本数が必要になる。このような複数ビットからなるデータ信号の伝送に際して、信号線の本数を減少するために、シフトレジスタ等を用いて、並列信号を直列信号に変換して少ない信号線により伝送する方法も用いられている。

## 【0003】

【発明が解決しようとする課題】しかしながら、上記のようなマイクロプロセッサ応用システムにおいては、一般に、プロセッサ装置とメモリ装置または入出力装置との間にアドレスバス信号、データバス信号および入出力制御信号を伝送するために多数の信号線からなるバスを配線する必要があり、装置が複雑化、大型化する欠点があった。

【0004】さらにこのようなマイクロプロセッサ応用システムは通常、複数枚のプリント基板に回路や構成部品が分割して配線実装されるが、プリント基板相互間の配線も上述したように多数の信号線により接続しなければならず、装置が複雑化し配線作業も繁雑になる欠点があった。

【0005】したがって、本発明の目的は、このようなマイクロプロセッサ応用システムにおいて、プロセッサ装置とメモリ装置または入出力装置との間、あるいはプリント基板相互間の配線本数を減少させるとともに、ノイズ等に影響されること無く信号を伝送することを目的とするものである。

## 【0006】

【課題を解決するための手段】本発明によれば、マイクロプロセッサ装置が接続され、このマイクロプロセッサ装置の出力信号のうちの少なくもアドレス信号およびデータ信号用バスを含む第1のバスと、この第1のバスに接続されたパラレルシリアル変換装置と、このパラレルシリアル変換装置の出力信号を伝送するシリアル信

3

号線と、このシリアル信号線の信号が供給されるシリアル-パラレル変換装置と、このシリアル-パラレル変換装置のパラレル信号線が接続されるとともに、メモリ装置または入出力装置が接続される第2のバスとを備えたことを特徴とするマイクロプロセッサ応用装置が得られる。

【0007】また、本発明によれば、前記マイクロプロセッサ応用装置は、前記第1のバスにより伝送される前記アドレス信号およびデータ信号が供給され、これらの信号に対して所定の関数関係にある第1の冗長信号を発生し、これを前記パラレルシリアル変換装置の追加の入力信号として供給する第1の冗長信号発生手段と、前記シリアル-パラレル変換装置のパラレル出力信号の中、前記アドレス信号およびデータ信号が供給され、これらの信号に対して前記所定の関数関係にある第2の冗長信号を発生する第2の冗長信号発生手段と、この第2の冗長信号発生手段により発生された前記第2の冗長信号を前記シリアル-パラレル変換装置のパラレル出力信号中の前記第1の冗長信号と比較する手段とを備えたことを特徴とする前記のマイクロプロセッサ応用装置が得られる。

【0008】さらに、本発明によれば、前記マイクロプロセッサ応用装置は、前記パラレルシリアル変換装置のパラレル入力信号のビット数は前記シリアル-パラレル変換装置のパラレル出力信号のビット数とは異なる場合、前記パラレルシリアル変換装置の1回の送受が前記シリアル-パラレル変換装置の複数回の送受に、または前記パラレルシリアル変換装置の複数回の送受が前記シリアル-パラレル変換装置の1回の送受に変換される手段を備えたことを特徴とする前記のマイクロプロセッサ応用装置が得られる。

【0009】さらに、本発明によれば、前記マイクロプロセッサ応用装置は、前記第1のバスにより伝送される前記アドレス信号およびデータ信号が供給され、これらの信号をより少ないビット数の出力信号に変換し、これを前記パラレルシリアル変換装置に入力信号として供給する符号化手段と、前記シリアル-パラレル変換装置の出力信号が供給され前記符号化手段に対して逆の変換を行いこれを前記第2のバスに供給する復号化手段とを備えたことを特徴とする前記のマイクロプロセッサ応用装置が得られる。

【0010】さらに、本発明によれば、回路および構成部品が配線実装された複数のプリント基板からなるマイクロプロセッサ応用装置において、前記複数のプリント基板中の第1の基板に配線され、少なくもアドレス信号バスおよびデータ信号バスを含む第1のバスと、前記複数のプリント基板中の第2の基板に配線され、少なくもアドレス信号バスおよびデータ信号バスを含む第2のバスと、前記第1および第2のバスにそれぞれ接続された第1および第2のパラレルシリアル変換装置と、これ

4

らの第1および第2のパラレルシリアル変換装置を相互に接続する信号線とを備えたことを特徴とするマイクロプロセッサ応用装置が得られる。

【0011】上記のような構成により、本発明のマイクロプロセッサ応用装置においては、プロセッサ装置とメモリ装置または入出力装置との間、あるいはプリント基板相互間の信号伝送用の配線本数をパラレルシリアル変換装置とシリアル-パラレル変換装置を用いることにより減少させることができるとともに、アドレス信号およびデータ信号を一体的にパラレルシリアル変換するため、アドレス信号を変化させることにより、少ない伝送線路により、多くのメモリ装置または入出力装置との間の信号の伝送が可能となる。

【0012】さらに、アドレス信号およびデータ信号を一体的にパラレルシリアル変換とともに、冗長信号発生手段により発生した冗長信号とともに伝送するため、外部からのノイズや回路内部の故障に基づく信号の伝送誤りを防止することができる。

【0013】

20 【発明の実施の形態】以下、本発明の実施形態について、図1乃至7図を参照して説明する。

【0014】図1は本発明のマイクロプロセッサ応用装置の一実施形態を示すブロック図である。図1において、マイクロプロセッサ11はそれぞれ複数のビットの2値情報からなるアドレス信号、データ信号、入出力制御信号を入出力するための入出力バス12を介して第1のバス13に接続されている。ここで、入出力バス12に含まれるデータ信号についてはプロセッサ装置11の入力信号としても使用可能な双方向信号である。マイクロプロセッサ11とともにマイクロプロセッサ応用装置を構成するメモリ装置14、複数個の入出力装置15、16…は第2のバス17に接続されている。第2のバス17は第1のバス13と同様に、それぞれ複数のビットの2値情報からなるアドレス信号、データ信号、入出力制御信号を伝送するための複数個の伝送線路を含んでいる。

【0015】第1のバス13の信号は入力バス18を介してパラレルシリアル変換装置を構成する第1のシフトレジスタ19に並列に供給される。第1のシフトレジ

40 スタ19のシリアル出力はシリアル信号伝送路20を介してシリアル-パラレル変換装置を構成する第2のシフトレジスタ21に供給される。第2のシフトレジスタ21の並列出力信号は出力バス22を介して第2のバス17に接続されている。第1のシフトレジスタ19および第2のシフトレジスタ21にはクロックパルス発生器23からシフトクロックがクロック信号線24を介して供給される。

【0016】次にこのように構成されたマイクロプロセッサ応用装置の動作を説明する。

50 【0017】マイクロプロセッサ11の入出力信号であ

るアドレス信号、データ信号、入出力制御信号は入出力バス12を介して第1のバス13に並列信号として供給される。これらの並列信号は第1のシフトレジスタ19により直列信号に変換され、1本のシリアル信号伝送路20を介して伝送される。シリアル信号伝送路20を介して伝送される信号は第2のシフトレジスタ21により再び並列信号に変換され、出力バス22を介して第2のバス17に供給される。したがって、マイクロプロセッサ11とメモリ装置14、複数個の入出力装置15、16…間の信号の伝送は1本の信号線により行うことができるため、配線が少なくて済み、装置の小形化、配線工数の削減が計れる。一般に複雑なシステム構成のマイクロプロセッサ応用装置においては、マイクロプロセッサ11とメモリ装置14、あるいは入出力装置15、16…の接続端子は必ずしも同一のプリント基板上に配置されず異なるプリント基板に配置される。この場合、プリント基板相互間の接続に要する配線はケーブルまたはコネクタにより実現することになるが、この信号線本数を減らすことは、コストの削減とスペースの縮小に大きな効果がある。

【0018】図2は上記本発明の実施形態をより一般的に示すブロック図である。この図においては、図1の実施形態に対応する部分は同一番号が付されている。同図の19および21で示されるブロックはここではシフトレジスタの他、通常のメモリ装置などを用いた装置も含めて一般的なパラレルシリアル変換装置およびシリアルパラレル変換装置として示されている。パラレルシリアル変換装置19の入力側およびシリアルパラレル変換装置21の出力側にはそれぞれ、たとえば8ビットからなる信号線が接続されている。また、ブロック14、15はメモリ装置あるいは入出力装置を示している。

【0019】図3は図1の第1のシフトレジスタに対応するパラレルシリアル変換装置19およびその入出力部の構成を示すブロック図であり、同様に図1の実施例に対応する部分は同一番号が付されている。ここで、パラレルシリアル変換装置19のシリアル出力側には、シリアル出力20-1、シリアル入力20-2、クロック信号24の3本の線路が接続されることになる。

【0020】図2において、パラレルシリアル変換装置19はプロセッサ装置11の出力信号12をパラレル信号として人力され、これを1ビットまたは複数ビットの幅の時分割されたビット列に置き換え、伝送路20に出力する。また、シリアルパラレル変換装置21は伝送路20上のビット列を順次入力し、パラレル信号に戻す働きをする。

【0021】図3に示されるパラレルシリアル変換装置19はプロセッサ装置11の出力信号12をシフトレジスタとしてのパラレルシリアル変換装置19がパラレル信号として記憶する。この記憶された信号はクロック信号24によりシフトしていくことになる。シフトレジスタの端からあふれる直前の信号がシリアル出力として伝送路20-1上に出力されることになる。

【0022】また、メモリ装置または入出力装置14、15からデータを入力する際は伝送路20-2を介してシリアル入力がシフトレジスタとしてのパラレルシリアル変換装置19にクロック信号24により順次シフト入力される。そして全ての信号がシフトレジスタにそろったところでプロセッサ装置11に入力信号として供給されることになる。

【0023】図4は本発明の他の実施形態を示すブロック図である。

【0024】この実施形態では、図2に示す構成に第1の冗長信号発生器41、第2の冗長信号発生器42、比較器43が付加されている。第1の冗長信号発生器41はその入力信号として、プロセッサ装置11の出力信号12が供給され、その出力信号として第1の冗長信号411を発生し、これをパラレルシリアル変換装置19にその並列入力信号として追加的に供給する。すなわち、第1の冗長信号発生器41はアドレスバス信号、データバス信号、入出力制御信号の一部または全てを入力とする閾値演算結果として1ビットまたは複数ビットを冗長信号として出力する。そしてこの冗長信号411とプロセッサ装置11の出力信号12をあわせたものがプロセッサ装置11の冗長信号を含む出力信号11がパラレルシリアル変換装置19に供給される。シリアルパラレル変換器21の出力側に取り出された並列出力信号21の中には、プロセッサ装置11の出力信号12の他に第1の冗長信号411に対応する冗長信号412が含まれている。

【0025】第2の冗長信号発生器42はメモリ装置または入出力装置14、15に供給されるシリアルパラレル変換装置21の出力信号22がその入力信号として与えられ、その出力として、第2の冗長信号421を発生する。すなわち、第2の冗長信号発生器42はシリアルパラレル変換装置21により復元後のアドレスバス信号、データバス信号、入出力制御信号の一部または全てを入力とする閾値演算結果として1ビットまたは複数ビットを冗長信号として出力する。ここで第1および第2の冗長信号発生器41、42の閾値演算は全く同一の演算が行われるものとする。

【0026】比較器43は第1の冗長信号412と第2の冗長信号421とを比較し、その結果を出力431に出力する。すなわち、プロセッサ側から送られてきた冗長信号とメモリ装置または入出力装置側で生成された冗長信号とを比較する。

【0027】このように構成されたマイクロプロセッサ応用装置の動作を説明する。

【0028】前述したように、第1の冗長信号発生器41と第2の冗長信号発生器42は同じ閾値を発生する。

すなわちプロセッサ装置の出力信号12と第1の冗長信号411の関係は、メモリ装置または入出力装置の入出力信号22と第2の冗長信号421の関係と同じである。一方、復元された後の第1の冗長信号412はノイズなどの外乱や装置の故障が無ければプロセッサ装置11側の第1の冗長信号411と同一の値となる。すなわち冗長信号412と冗長信号421は等しく、比較結果出力431は信号の値が一致したことを表す値となる。

【0029】逆に、外乱や装置の故障は冗長信号412の異常またはメモリ装置または入出力装置の入出力信号22の異常に帰結し、これは冗長信号412と冗長信号421の不一致をもたらす。この結果比較結果出力431は不一致を表す値となる。この比較結果出力431は外部への不一致の表示ないしプロセッサ装置11に戻される異常検出信号として利用することができる。

【0030】以上のように、この実施形態ではピット幅の広い信号をピット幅の狭い伝送路に時分割で伝送することができるが、この方式では一組みの並列信号情報を伝送するのに比較的長い時間を要する。ある特定の瞬間に発生する外乱があったとすると、このような構成ではデータの伝送に影響を受ける確率が増大する。しかし本実施形態では、このような場合の信頼性を向上させる効果がある。

【0031】図5および図6は本発明のマイクロプロセッサ応用装置のさらに他の実施形態を示すブロック図である。上述した各実施形態においては、プロセッサ装置11の入出力信号12とメモリ装置または入出力装置の入出力信号22のピット幅が同じであったが、本実施例ではピット幅が異なる場合を表している。これにともない、パラレルシリアル変換装置19およびシリアルパラレル変換装置21も基本的な構造は同じだが構成の規模が異なるものとなる。

【0032】図5の実施形態ではプロセッサ装置11が送受しようとする情報はメモリ装置または入出力装置14、15では複数回に分けて送受されることになる。あるいは図6の実施形態ではプロセッサ装置11の複数回の送受がメモリ装置または入出力装置14、15の1回の送受に相当する。

【0033】このような実施形態によれば、プロセッサ装置11とメモリまたは入出力装置14、15の入出力信号の幅が異なる場合に、ハードウェア量の増大を抑えつつ、情報のピット幅を変換できる効果がある。

【0034】図7は本発明のマイクロプロセッサ応用装置のさらに他の実施形態を示すブロック図である。この実施形態においては、図2に示した構成に、符号化装置61と復号化装置62が付加されている。符号化装置61の入力側にはプロセッサ装置11の入出力信号12が接続され、出力側にはこの入出力信号12を少ないピット数の信号に圧縮して出力する出力信号線611が接続されている。復号化装置62はシリアルパラレル変換

装置21の出力信号211が入力信号として供給され、これらを複号化してよりビット数の多い入出力信号22に変換する。この入出力信号22メモリまたは入出力装置14、15に供給される。

【0035】符号化装置61はプロセッサ装置11の入出力信号12を入力として、符号化を行い、圧縮されたプロセッサ装置の入出力信号611を出力する。復号化装置62は圧縮されたメモリ装置または入出力装置の入出力信号211を入力として、復号化を行い、メモリ装置または入出力装置の入出力信号22を出力する。

【0036】この実施形態におけるその他の構成は図2に示したマイクロプロセッサ応用装置の構成と実質的に同一であるが、パラレルシリアル変換装置19の入力信号のビット数およびシリアルパラレル変換装置21の出力信号のビット数がプロセッサ装置11あるいはメモリまたは入出力装置14、15の入出力信号のビット数より少ない点が図2の装置の構成とは異なっている。

【0037】この実施形態によれば、符号化により情報を圧縮するため、伝送路20を通過する情報量が少なくなる。したがって、情報伝送時間が短縮されるか、または同じ時間に伝送する情報量を増大させる効果がある。

#### 【0038】

【発明の効果】本発明によれば、データ信号とともに、アドレス信号も含めてパラレルシリアル変換することにより、プロセッサ装置からメモリ装置または入出力装置に接続される信号線の量を減らすとともに、少ない信号線により、多くのメモリ装置または入出力装置間の情報交換が可能となる。

【0039】また、本発明によれば、プロセッサ装置から情報に冗長信号を付加することにより、メモリ装置または入出力装置側で正しく情報が送られてきたか否かを判定できるという効果がある。

【0040】さらに本発明によれば、プロセッサ装置側のデータバスが大きく、メモリ装置または入出力装置側のデータバスが小さいという場合、またはその逆の場合のバス幅変換に要するハードウェアを削減できるという効果がある。

【0041】さらに本発明によれば、伝送しようとする情報を符号化することにより情報量を減らすので、伝送回数もしくは伝送時間を短縮できるという効果がある。

#### 【図面の簡単な説明】

【図1】本発明のマイクロプロセッサ応用装置の一実施形態を示すブロック図である。

【図2】本発明のマイクロプロセッサ応用装置のより一般的な構成を示すブロック図である。

【図3】図2に示すマイクロプロセッサ応用装置の一部の構成をより詳細に示すブロック図である。

【図4】本発明のマイクロプロセッサ応用装置の他の実施形態を示すブロック図である。

【図5】本発明のマイクロプロセッサ応用装置のさらに

9

他の実施形態を示すブロック図である。

【図6】本発明のマイクロプロセッサ応用装置のさらに他の実施形態を示すブロック図である。

【図7】本発明のマイクロプロセッサ応用装置のさらに他の実施形態を示すブロック図である。

【符号の説明】

- 1 1 マイクロプロセッサ
- 1 2 入出力バス
- 1 3 第1のバス
- 1 4 メモリ装置
- 1 5 入出力装置
- 1 6 入出力装置
- 1 7 第2のバス
- 1 8 入力バス

1 9 第1のシフトレジスタ (パラレルシリアル変換装置)

2 0 シリアル信号伝送路

2 1 第2のシフトレジスタ (シリアルパラレル変換装置)

2 2 出力バス

2 3 クロックパルス発生器

2 4 クロック信号線

4 1 第1の冗長信号発生器

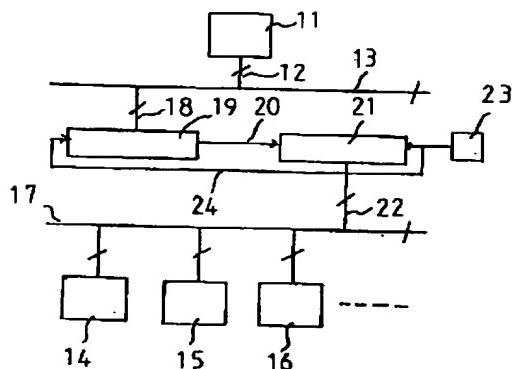
10 4 2 第2の冗長信号発生器

4 3 比較器

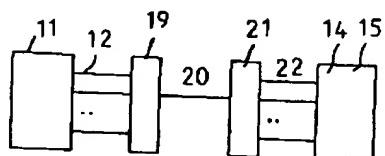
6 1 符号化装置

6 2 復号化装置

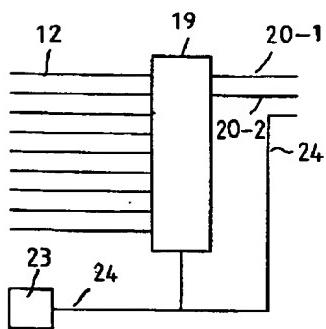
【図1】



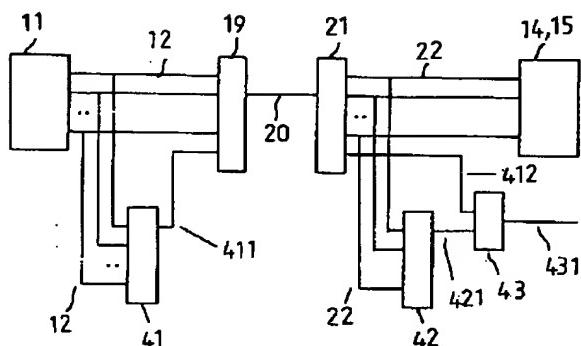
【図2】



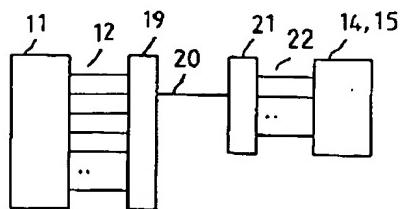
【図3】



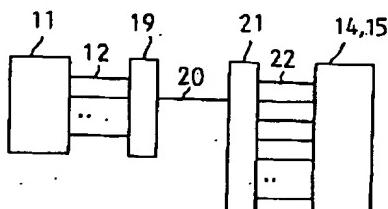
【図4】



【図5】



【図6】



【図7】

